| RS | リコー標準（　　　　　） | 標準番号 |
|---|---|---|
| 分類 | 開発仕様書 | ○ KA-AØØ3-B |

## 集積回路

1 形　名　　RP2AØ3

2 機　能　　カスタム CPU

3 用　途　　ホームビデオゲーム用 サウンドジェネレータ＋CPU

4 構　造　　NMOS Siゲート

5 外　形

5-1　パッケージ名称　40ピン プラスチック DIL パッケージ

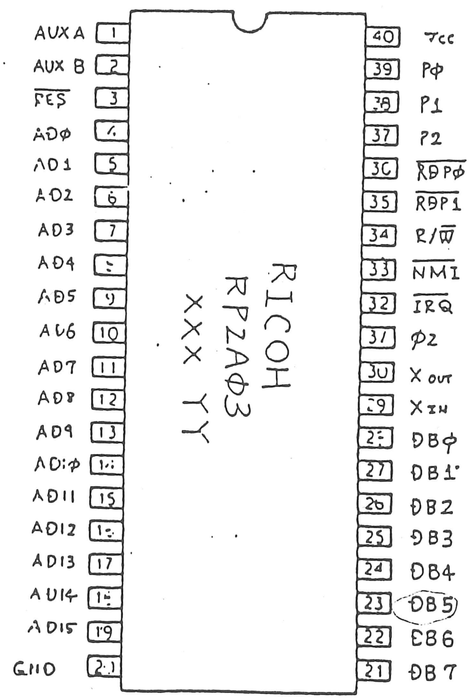
5-2　パッケージ略号

5-3　外形図番号　DF-40DIL-002

6 関係標準類

7 ピン接続図（上面図）

FCマニュアル

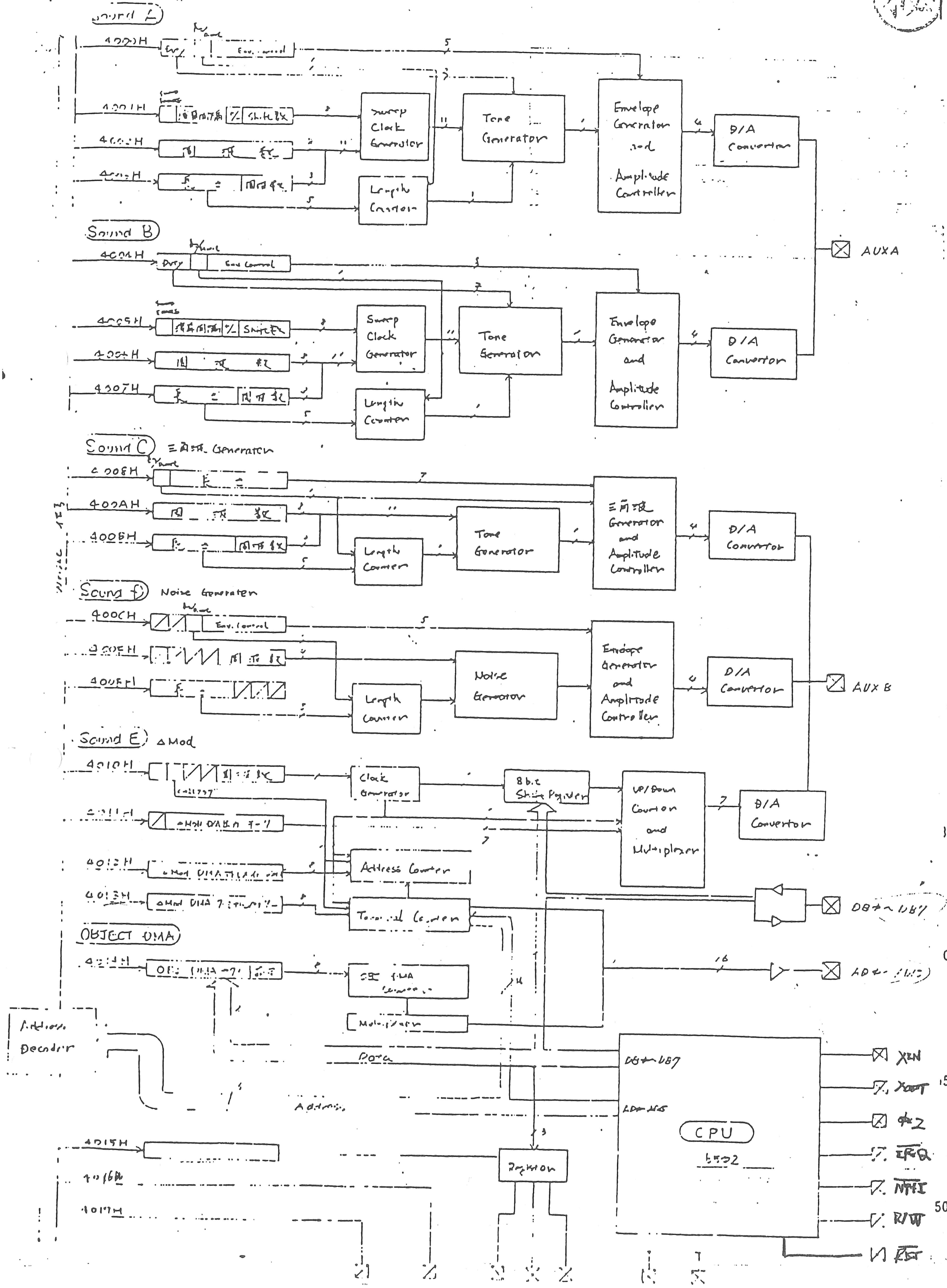



| | | | | | | | 改定 | 制定 |
|---|---|---|---|---|---|---|---|---|
| | | | | | | | 82.12.? | 82.10.12 |
| | | | | | | | | |

P. 2/21

| RS | リコー標準(開発仕様書) | 標準番号 | KA-A003-B |
|---|---|---|---|

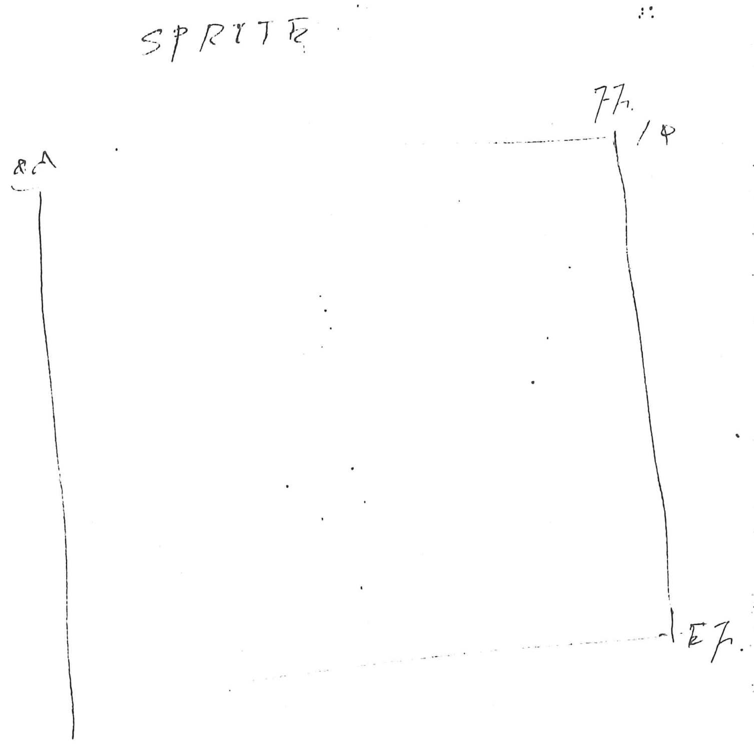
## 8 ブロック図



9. 概要

RP2A03は 8ビットCPU 6502を内蔵し、さらに方形波のTone Generator 2チャンネル（Sound A, B）、三角波のTone Generator（Sound C）、Noise Generator（Sound D）とDelta Modulation（Sound E）の計5チャンネルのサウンド発生回路とDMA転送機能を持つカスタムCPUです。

RP2A03は Nチャンネル シリコンゲート E-D MOS プロセスを使用しており、内部CPUは 1.7897725 MHzのシステムクロックで動作します。



## 10　ピン機能

| ピン名 | ピン番号 | ピン説明 |
|---|---|---|
| ADΦ～AD15 | 4 ～ 19 | 内部CPU(65Φ2)のアドレスバス。(DMA転送も可能) |
| DBΦ～DB7 | 21 ～ 28 | 内部CPU(65Φ2)のデータバス。 |
| AUX A | 1 | サウンドジェネレータA；Bのミキシング出力 |
| AUX B | 2 | サウンドジェネレータC、ノイズジェネレータD、デルタモジュレーションのミキシング出力 |
| XIN | 29 | 源発振クロック入出力端子（21.47727MHzの水晶発振子を用います） |
| X OUT | 30 | 源発振クロック入出力端子（21.47727MHzの水晶発振子を用います） |
| Φ2 | 31 | システムクロック信号出力端子。（1.7897725MHz） |
| $\overline{IRQ}$ | 32 | 内部CPUの割り込み要求信号端子。 |
| $\overline{NMI}$ | 33 | 内部CPUの割り込み要求信号端子。 |
| R/$\overline{W}$ | 34 | 書き込み制御信号端子。 |
| $\overline{RES}$ | 3 | リセット入力信号端子。（この信号がLowの時、Vcc GND以外のすべての端子がハイインピーダンス状態になります。） |
| $\overline{RDP\Phi}$，$\overline{RDP1}$ | 35，36 | アドレスの内部デコード信号端子。（DBΦ～DB7が入力ポートとなります） |
| PΦ ～ P2 | 37 ～ 39 | 出力ポート端子。 |
| Vcc | 40 | 5V電源 |
| GND | 20 | 0V |

## 11. 機能説明

### 1) Sound A, B

#### a) Envelope or AmplitudeのGainの指定

アドレス4000H(Sound A) 4004H(Sound B)のデータd0〜d4でエンベロープのサステイン速さ又は、直接AmplitudeのGainを設定します。

| d4 | d3 d2 d1 d0 | | |
|---|---|---|---|
| 1 | ×××× | ------- | Envelopeの減衰する1段階の長さを設定<br>減衰は16段階で、1段階の長さは、0.5×N<br>(d0〜d4で設定 0〜7) フレームとなります。 |
| 0 | ×××× | ------ | 直接 AmplitudeのGainを指定します。 |

エンベロープは、長さDataのWrite信号 4003H(Sound A) 4007H(Sound B)でトリガされます。

また、4000H, 4004Hのd4が"1"で連続音指定の時はエンベロープは自動的に繰り返えされ、"0"で長さカウンタ指定の時は1回の減衰で終了しその後無音になります。

#### b) Duty指定

アドレス4000H(Sound A) 4004H(Sound B)のデータd6, d7によりTone GeneratorのパルスのDutyを設定できます。

| d7 | d6 | Duty |
|---|---|---|
| 0 | 0 | 12.5% |
| 0 | 1 | 25.0% |
| 1 | 0 | 50.0% |
| 1 | 1 | 75.0% |

#### c) Sweep Clock Generatorのコントロール

自動的にスイープ音を発生させるために最初セットしたDataに、½×Nフレームごとにもとのデータをn回シフトして $1/2^n$ (n=0〜7)としたDataを加算又は減算しています。

$$t_a = t_{a-1} \pm t_a/2^n$$

$t_a$ : 現在の周波数の波長
$t_{a-1}$ : 1つ前の周波数の波長
$n$ : シフト数

Sweepを行った後周波数が $\frac{f_{\phi 2}}{2^4 \times 2^3}$ (13.98 KHz) 以上になると音は自動的に停止します。($f_{\phi 2}$ : φ2の周波数)

このSweep Clock GeneratorのコントロールはアドレスSweep 4001H（Sound A），4005H（Sound B）で行ないます。

| | |
|---|---|
| d7 | 1 ：Sweep 機能 Enable<br>0 ：　〃　Disable |
| d6〜d4 | Sweep演算の時間間隔の設定<br>½×N フレーム．　（N＝0〜7） |
| d3 | 1：減算　$t_N = t_{(N-1)} - t_{(N-1)}/2^n$<br>0：加算　$t_N = t_{(N-1)} + t_{(N-1)}/2^n$ |
| d2〜d0 | シフト数 n の設定（n＝0〜7） |

d）周波数の設定

アドレス 4002H（Sound A），4006H（Sound B）で下位8ビット，4003H（Sound A），4007H（Sound B）の d0〜d3 により上位3ビット計11ビットで周波数の設定を行ないます。設定周波数例を表1-dに示します。
Sound A，Bの周波数設定範囲は，

$$54.6\ Hz \leq f_a\,(f_b) \leq 13.98\ KHz$$

$f_a$：Sound Aの周波数
$f_b$：Sound B　〃

e）長さカウンタの設定

アドレス 4000H（Sound A），4004H（Sound B）の d5 が'1'の時長さカウンターが選択され，4003H（Sound A）4007H（Sound B）の d3〜d7 により長さカウンターを設定し，設定した長さが Count up すると 4015番地の d0（Sound A）d1（Sound B）のフラグを'1'にセットし Sound 出力は停止します。'0'の時，Soundは連続音となります。

| d7 d6 d5 d4 d3 | | |
|---|---|---|
| × × × × 1 | -------- 直接長さ指定 | 0〜15フレーム |
| × × × × 0 | -------- 表1-e | |

表1-e

| | 長さコード | | | | | 長さ(フレーム) | | 長さコード | | | | | 長さ(フレーム) |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | d7 | d6 | d5 | d4 | d3 | | | d7 | d6 | d5 | d4 | d3 | |
| ♬ | 0 | 0 | 0 | 0 | 0 | 05H | | 1 | 0 | 0 | 0 | 0 | 06H |
| ♪ | 0 | 0 | 0 | 1 | 0 | 0AH | | 1 | 0 | 0 | 1 | 0 | 0CH |
| ♩ | 0 | 0 | 1 | 0 | 0 | 14H | | 1 | 0 | 1 | 0 | 0 | 18H |
| 𝅗𝅥 | 0 | 0 | 1 | 1 | 0 | 28H | | 1 | 0 | 1 | 1 | 0 | 30H |
| 𝅝 | 0 | 1 | 0 | 0 | 0 | 50H | | 1 | 1 | 0 | 0 | 0 | 60H |
| ♩. | 0 | 1 | 0 | 1 | 0 | 1EH | | 1 | 1 | 0 | 1 | 0 | 24H |
| ♪ | 0 | 1 | 1 | 0 | 0 | 07H | | 1 | 1 | 1 | 0 | 0 | 08H |
| ⎍ | 0 | 1 | 1 | 1 | 0 | 0DH | | 1 | 1 | 1 | 1 | 0 | 10H |

表1-a

EQUAL TEMPERED CHROMATIC SCALE

| NOTE | OCTAVE | IDEAL FREQUENCY | 11 BIT REGISTER VALUE IN HEX | ACTUAL FREQUENCY |
|---|---|---|---|---|
| C | 1 | 32.703 | | |
| C# | 1 | 34.648 | | |
| D | 1 | 36.708 | | |
| D# | 1 | 38.891 | | |
| E | 1 | 41.203 | | |
| F | 1 | 43.654 | | |
| F# | 1 | 46.249 | | |
| G | 1 | 48.999 | | |
| G# | 1 | 51.913 | | |
| A | 1 | 55.000 | 7F2 | 54.995 |
| A# | 1 | 58.270 | 780 | 58.261 |
| B | 1 | 61.735 | 714 | 61.733 |
| C | 2 | 65.406 | 6AE | 65.416 |
| C# | 2 | 69.296 | 64E | 69.307 |
| D | 2 | 73.416 | 5F4 | 73.399 |
| D# | 2 | 77.782 | 59E | 77.787 |
| E | 2 | 82.407 | 54D | 82.432 |
| F | 2 | 87.307 | 501 | 87.323 |
| F# | 2 | 92.499 | 469 | 92.523 |
| G | 2 | 97.999 | 475 | 98.037 |
| G# | 2 | 103.826 | 435 | 103.863 |
| A | 2 | 110.000 | 3F7 | 109.991 |
| A# | 2 | 116.541 | 3C0 | 116.522 |
| B | 2 | 123.471 | 38A | 123.467 |
| C | 3 | 130.812 | 357 | 130.831 |
| C# | 3 | 138.592 | 327 | 138.613 |
| D | 3 | 146.832 | 2FA | 146.799 |
| D# | 3 | 155.564 | 2CF | 155.578 |
| E | 3 | 164.812 | 2A7 | 164.743 |
| F | 3 | 174.616 | 281 | 174.510 |
| F# | 3 | 184.996 | 25D | 184.894 |
| G | 3 | 195.996 | 236 | 195.903 |
| G# | 3 | 207.652 | 216 | 207.534 |
| A | 3 | 220.000 | 1FC | 220.198 |
| A# | 3 | 233.080 | 1EC | 233.043 |
| B | 3 | 246.940 | 1C5 | 246.933 |
| C | 4 | 261.624 | 1AC | 261.357 |
| C# | 4 | 277.184 | 194 | 276.883 |
| D | 4 | 293.664 | 17D | 293.598 |
| D# | 4 | 311.128 | 168 | 310.724 |
| E | 4 | 329.624 | 153 | 329.973 |
| F | 4 | 349.232 | 140 | 349.565 |
| F# | 4 | 369.992 | 12E | 370.400 |
| G | 4 | 391.992 | 11D | 392.494 |
| G# | 4 | 415304 | 10D | 415.639 |
| A | 4 | 440.000 | 0FE | 440.397 |
| A# | 4 | 466.160 | 0F0 | 461.087 |
| B | 4 | [illegible] | 0E2 | [illegible] |
| C | 5 | 523.248 | 0D6 | 522.714 |
| C# | 5 | 554368 | 0CA | 553.766 |
| D | 5 | 587.328 | 0DE | 588.741 |
| D# | 5 | 622.256 | 064 | 621.499 |
| E | 5 | 659.248 | 0AA | 658.005 |
| F | 5 | 698.464 | 0A0 | 699.130 |
| F# | 5 | 739.984 | 097 | 740.800 |
| G | 5 | 783.984 | 08F | 782.243 |
| G# | 5 | 830.608 | 087 | 828.598 |
| A | 5 | 880.000 | 07F | 880.794 |
| A# | 5 | 932.320 | 078 | 932.173 |
| B | 5 | 987.760 | 071 | 989.918 |
| C | 6 | 1046.496 | 06B | 1045.428 |
| C# | 6 | 1108.736 | 065 | 1107.532 |
| D | 6 | 1174656 | 05F | 1177.482 |
| D# | 6 | 1244512 | 05A | 1242.898 |
| E | 6 | 1318.496 | 055 | 1316.009 |
| F | 6 | 1396.928 | 050 | 1398.260 |
| F# | 6 | 1479.968 | 04C | 1471.852 |
| G | 6 | 1567.968 | 047 | 1575.504 |
| G# | 6 | 1661.216 | 043 | 1669.564 |
| A | 6 | 1760.000 | 040 | 1747.825 |
| A# | 6 | 1864.140 | 03C | 1864.346 |
| B | 6 | 1975.520 | 039 | 1962.470 |
| C | 7 | 2092.992 | 035 | 2110.581 |
| C# | 7 | 2217.472 | 032 | 2237.216 |
| D | 7 | 2349.312 | 030 | 2330.433 |
| D# | 7 | 2489.024 | 02D | 2485.795 |
| E | 7 | 2636.992 | 02A | 2663.352 |
| F | 7 | 2793.856 | 028 | 2796.520 |
| F# | 7 | 2959.936 | 026 | 2943.705 |
| G | 7 | 3135.936 | 024 | 3107.244 |
| G# | 7 | 3322.432 | 022 | 3290.023 |
| A | 7 | 3520.000 | 020 | 3495.649 |
| A# | 7 | 3729.280 | 01E | 3728.693 |
| B | 7 | 3951.040 | 01C | 3995.028 |
| C | 8 | 4185.984 | 01B | 4142.992 |
| C# | 8 | 4434.944 | 019 | 4474.431 |
| D | 8 | 4698.624 | 018 | 4660.866 |
| D# | 8 | 4978.048 | 016 | 5084581 |
| E | 8 | 5273.984 | 015 | 5326.704 |
| F | 8 | 5587.712 | 014 | 5593.039 |
| F# | 8 | 5919.872 | 013 | 5887.410 |
| G | 8 | 6271.872 | 012 | 6214.488 |
| G# | 8 | 6644.864 | 011 | 6540.046 |
| A | 8 | 7040.000 | 010 | 6991.299 |
| A# | 8 | 7458.560 | 00F | 7457.385 |
| B | 8 | 795[illegible] | 00E | 7990.056 |
| C | 9 | 8372019 | 00D | 3604.676 |
| C# | 9 | 8869.845 | 00D | |
| D | 9 | 9397.274 | 00C | 9321.732 |
| D# | 9 | 9956.064 | 00B | 10169.163 |
| E | 9 | 10548.083 | 00B | |
| F | 9 | 11175.305 | 00A | 11186.079 |
| F# | 9 | 11839.824 | 009 | 12428.976 |
| G | 9 | 12543.857 | 009 | |
| G# | 9 | 13289.754 | 008 | 13982.598 |
| A | 9 | 14080.000 | 008 | |
| A# | 9 | 14917.245 | 007 | 15980.113 |
| B | 9 | 15804266 | 007 | |
| C | 10 | 16744.037 | 007 | |
| C# | 10 | 17739.690 | 006 | 18643.465 |
| D | 10 | 18794.547 | 006 | |
| D# | 10 | 19912.130 | 006 | |
| E | 10 | 21096.167 | 005 | 22372.158 |
| F | 10 | 22350.610 | 005 | |
| F# | 10 | 23679.648 | 005 | |
| G | 10 | 25087.713 | 004 | 27965.197 |
| G# | 10 | 26579.507 | 004 | |
| A | 10 | 28160.000 | 004 | |
| A# | 10 | 29834.481 | 004 | |
| B | 10 | 31608.533 | 004 | |
| C | 11 | 33488.075 | 003 | 37286.929 |
| C# | 11 | 35479.381 | 003 | |
| D | 11 | 37589.094 | 003 | |
| D# | 11 | 39824.261 | 003 | |
| E | 11 | 42192.334 | 003 | |
| F | 11 | 44701.221 | 003 | |
| F# | 11 | 47359.297 | 002 | 55930.394 |
| G | 11 | 50175.426 | 002 | |
| G# | 11 | 53157.015 | 002 | |
| A | 11 | 56320.000 | 002 | |
| A# | 11 | 59668.962 | 002 | |
| B | 11 | 63217.065 | 002 | |
| C | 12 | 66976.150 | 002 | |
| C# | 12 | 70958.765 | 002 | |
| D | 12 | 75178.189 | 001 | |
| D# | 12 | 79648.521 | 001 | 111860.788 |
| E | 12 | 84384.667 | 001 | |
| F | 12 | 89402.441 | 001 | |
| F# | 12 | 94718.593 | 001 | |
| G | 12 | 100350.850 | 001 | |
| G# | 12 | 106318.030 | 001 | |
| A | 12 | 112640.000 | 001 | |
| A# | 12 | 119337.920 | 001 | |
| B | 12 | 126434.130 | 001 | |

2) 三角波 Sound C

a) Sound出力コントロール(Sound A.BのEnvelopeに相当)

アドレス4008Hの $d_0$〜$d_6$ で設定された長さだけSoundを出力しその後停止します。但し長さFlagには関係しません。
Sound出力時間は、1/4×Nフレーム(N=0〜128)でアドレス400BH(長さData write信号)でトリガされます。

Sound出力は16段階の上昇、下降を繰り返し、擬似三角波形を形成しています。

b) 周波数の設定

Sound A,Bと同様に、アドレス400AHにより下位8ビット 400Bの $d_0$〜$d_2$ により上位3ビット 計11ビットの設定を行ないます。
周波数設定範囲は

$$54.6\,Hz \leqq f_c \leqq 111.86\,kHz \qquad f_c：三角波の周波数$$

です

c) 長さカウンターの設定

機能はSound A,Bと同様です
アドレス4008Hの $d_7$ により長さカウンタ指定と連続音指定の切り換えができます。
データは400BHの $d_3$〜$d_7$ でセットします。

3) ノイズジェネレータ Sound D

a) サンプルクロック周波数の設定

アドレス400EHの $d_0$〜$d_3$ により表3-aのとおり16通りの周波数に設定することができます

b) Envelopeサスティン速さ又はAmplitude Gainの設定

Sound A,Bと同様に、400CHの $d_4$ でEnvelope長さの設定と直接Amplitude Gainの設定の切り換えを行ないます。またデータは $d_0$〜$d_3$ にセットします。

c) 長さカウンタの設定

Sound A,B,Cと同様です。
切り換えはアドレス400Cの $d_5$ でデータセットは400FHの $d_3$〜$d_7$ で行ないます。

## 4) Delta Moduration (ΔMod)

### a) サンプルクロック周波数の設定

アドレス 4010H の $d_0$～$d_3$ で設定を行ないます
サンプルクロック周波数は 表4-a に示す 16通りを選ぶことができます。

### b) ΔMod データの転送

データは、1バイト(8bit)づつ DMA方式により転送されます。
アドレスカウンタの開始番地は、4012H の $d_0$～$d_7$ により、アドレスの $A_6$～$A_{13}$ を設定し、他のアドレスは '0' に固定します。
また、ターミナルカウンタの設定は、××××××××0000 の × の桁に アドレス 4013H のデータをセットします。下4桁は0がセットされ 4Kバイトの転送が可能です。

### c) ΔModuration DA出力 直接データセット

以上のように転送されたデータは 8bit shift Registerにとりこまれ、シリアルに UP/Down カウンタに転送されます。UP/Down カウンタの出力は、7ビットの D/A converterを通して Sound出力されますが アドレス 4011H の $d_0$～$d_6$ により、D/A converter のデータを直接設定することができます。

ΔMod の DMA転送が終了した時、4010H の $d_7$ の INT ENABLE が '1' ならば 4015H の割り込みフラグを '1' にセットし 割り込みをかけます。

ΔMod の選択は 4015H の $d_4$ に設けたフラグにより行ないます。$d_4$ が '0' のとき ΔMod は停止しています。$d_4$ のフラグを '1' にセットしたとき ΔMod がスタートします。

4010H の $d_6$ 繰り返しフラグが '1' にセットされている時 ΔMod アドレスカウンタ、ターミナルカウンタとも 初期設定値より DMA転送を行ない 繰り返し Sound 出力されます。

## 5) OBJECT DMA

アドレス 4014H により データが書き込まれると同時に スタートします。
OBJ DMA のセグメント指定は、アドレス $A_8$～$A_{15}$ を 4014H のデータ $d_0$～$d_7$ により設定します。（××××××××00000000 の × の桁に 4014H のデータをセットします）
設定アドレスより 256バイトづつ転送します。$A_0$～$A_7$ は オール0 よりスタートします。
転送先番地は 2004H です。

## 表3-a. ノイズジェネレータ（Sound D）のサンプルクロック周波数

| デコーダ (d0〜d3) | オクターブ | 音階 | 周波数（Hz） |
|---|---|---|---|
| 0 | 8 | C | 4181.712 |
| 1 | 8 | D | 4709.928 |
| 2 | 8 | E | 5264.037 |
| 3 | 8 | F | 5593.039 |
| 4 | 8 | G | 6257.946 |
| 5 | 8 | A | 7046.349 |
| 6 | 8 | B | 7919.348 |
| 7 | 9 | C | 8363.423 |
| 8 | 9 | D | 9419.856 |
| 9 | 9 | E | 10548.074 |
| 10 | 9 | F | 11186.079 |
| 11 | 9 | G | 12604.032 |
| 12 | 9 | A | 13982598 |
| 13 | 9 | B | 15699.760 |
| 14 | 10 | C | 16884.647 |
| 15 | 10 | D | 18643.465 |

## 表4-a Delta Moduration (Sound E) のサンプルクロック周波数

| デコーダ (d0〜d3) | オクターブ | 音階 | 周波数（Hz） |
|---|---|---|---|
| 0 | 8 | C | 4181.712 |
| 1 | 8 | D | 4709.928 |
| 2 | 8 | E | 5264.037 |
| 3 | 8 | F | 5593.039 |
| 4 | 8 | G | 6257.946 |
| 5 | 8 | A | 7046.349 |
| 6 | 8 | B | 7919.348 |
| 7 | 9 | C | 8363.423 |
| 8 | 9 | D | 9419.856 |
| 9 | 9 | F | 11186.079 |
| 10 | 9 | G | 12604.032 |
| 11 | 9 | A | 13982.578 |
| 12 | 10 | C | 16884.647 |
| 13 | 10 | E | 21096.167 |
| 14 | 10 | G | 24857.753 |
| 15 | 11 | C | 33[illegible]7 |

## 6) 入出力ポート

アドレス4016H, 4017Hで R/$\overline{W}$が'1'の時、DB0〜DB7 入力ポートになります。そのときの4016H, 4017Hのアドレスデコード信号は $\overline{PDP0}$, $\overline{PDP1}$ 端子に出力されます。

アドレス4016Hで R/$\overline{W}$が'0'の時 $d_0$〜$d_2$が $P_0$〜$P_2$ 端子として出力ポートになります。

## 7) システムクロック

XIN端子に入力される源発振クロックを1/12したものが 内部CPUのシステムクロックΦ2になります。

XIN, Xoutには、21.47727 MHzの水晶発振子を接続してください。内部CPUのシステムクロックは 1.7897725 MHzとなります。

## 8) CPU

RP2A03の内部CPUは、8ビットCPU 6502に順じたCPUです。6502の詳細は 添付資料 6502のカタログを参照してください。ただし、2A03では、SYNC, RDY SO 端子は 外部端子として出力されていません。

| RS | リコー標準(開発仕様書) | 標準番号 | ○ EA-A中[illegible] 秘 |
|---|---|---|---|

各Register機能表

| Address | Signal | d7 | d6 | d5 | d4 | d3 | d2 | d1 | d0 | トリガ |
|---|---|---|---|---|---|---|---|---|---|---|
| 4000 | WRAΦ | Duty | | 連続音 1 / 0 長さカウンタ | Direct 1 / 0 Envelope | Envelope サスティン速さ 又は 直接 Amplitude Gainの指定 | | | | |
| 4001 | WRA1 | Enable 1 / 0 Disable | 演算間隔 | | | −(1) / +(0) | Sweep CLOK Generator(A) シフト数の指定 | | | |
| 4002 | WRA2 | 周波数下位 (A) | | | | | | | | |
| 4003 | WRA3 | 長さデータ (A) | | | | | 周波数上位 (A) | | | スタート Sound A |
| 4004 | WRBΦ | Duty | | 連続音 / 長さカウンタ | Direct 1 / 0 Envelope | Envelope サスティン速さ / Amplitude Gain | | | | |
| 4005 | WRB1 | Enable / Disable | 演算間隔 | | | −(1) / +(0) | Sweep CLOCK Generator(B) シフト数 | | | |
| 4006 | WRB2 | 周波数下位 (B) | | | | | | | | |
| 4007 | WRB3 | 長さデータ (B) | | | | | 周波数上位 (B) | | | スタート Sound B |
| 4008 | WRCΦ | 連続音 / 長さカウンタ | 三角波発生長さ | | | | | | | |
| 4009 | | | | | | | | | | |
| 400A | WRC2 | 三角波周波数下位 (C) | | | | | | | | |
| 400B | WRC3 | 長さデータ (C) | | | | | 三角波周波数上位(C) | | | スタート Sound C |
| 400C | WRDΦ | | | 連続音 / 長さカウンタ | Envelope / DIRECT | Envelope サスティン速さ / Amplitude Gain | | | | |
| 400D | | | | | | | | | | |
| 400E | WRD2 | | | | | サンプルクロック周波数(4KHz〜20KHz) | | | | |
| 400F | WRD3 | 長さデータ (D) | | | | | | | | スタート Sound D |
| 4010 | WREΦ | INT Enable (1: Enable) | くりかえしフラグ (1: くりかえし) | | | サンプルクロック周波数(4KHz〜32KHz) | | | | |
| 4011 | WRE1 | | ΔMOD 出力 DA 直接データ | | | | | | | |
| 4012 | WRE2 | ΔMOD DMA アドレスカウンタ イニシャライズ | | | | | | | | |
| 4013 | WRE3 | ΔMOD DMA ターミナルカウンタ データセット | | | | | | | | |
| 4014 | WRFΦ | OBJ DMA セグメント指定 | | | | | | | | |
| 4015 | RDST / WRST | INTFI ΔMOD | INTRQ V | | 各発振器 Disableフラグ 0:Disable(停止中)<br>各発振器 Enable 1:Enable(発振中) | | | | | |
| 4016 | RDPΦ / WRPΦ | 入力ポートΦ | | | | | 出力ポート | | | |
| 4017 | RDP1 / Soft CLK | 入力ポート1<br>EXT MODE | INT EN | | | | | | | |

12　絶対最大定格

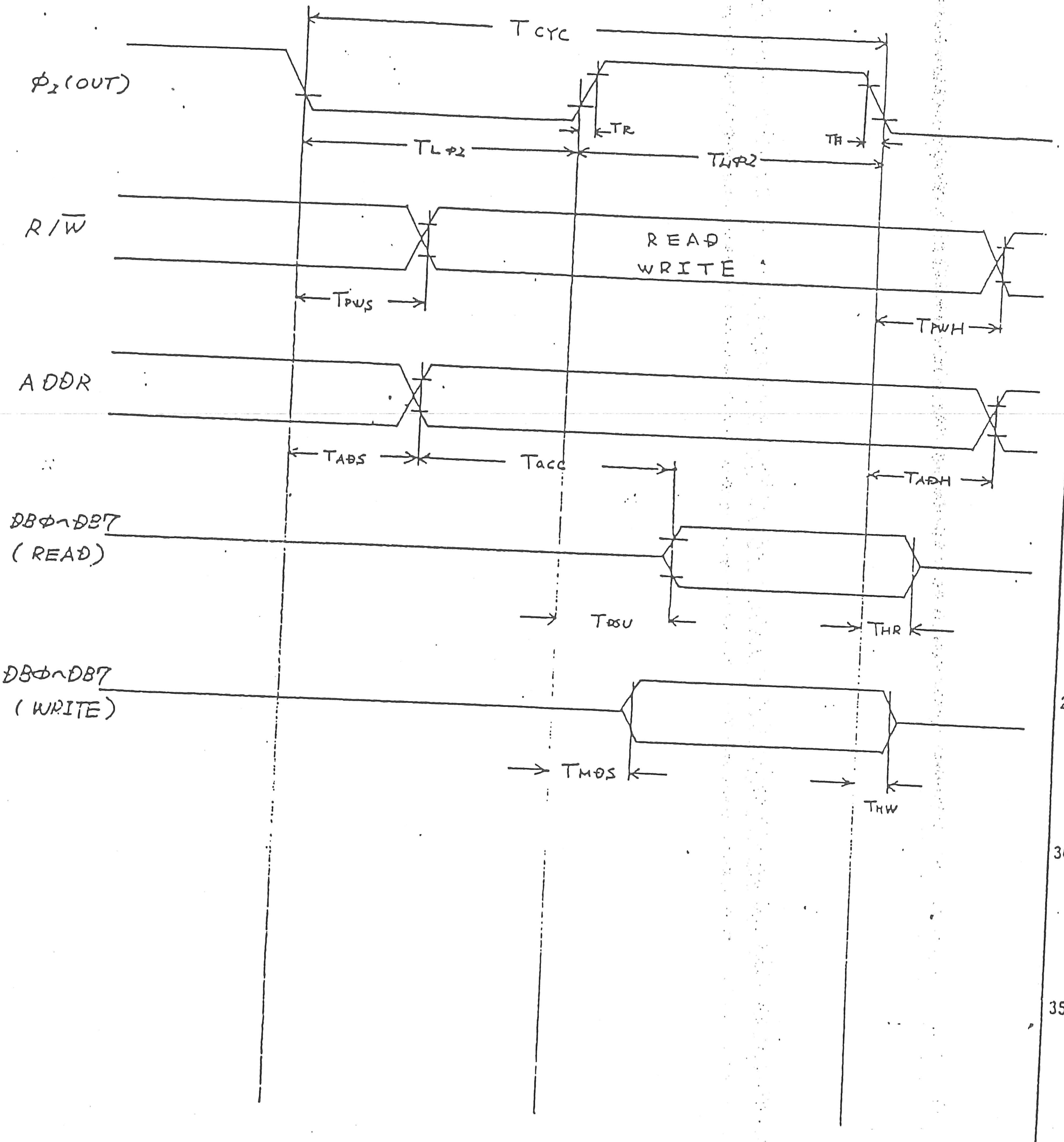
| 記号 | 項目 | 測定条件 | 定格値 | 単位 |
|---|---|---|---|---|
| $V_{CC}$ | 電源電圧 | GND＝0V | −0.3 〜 +7.0 | V |
| $V_I$ | 入力電圧 | GND＝0V | −0.3 〜 +7.0 | V |
| Pd | 最大消費電力 | | 1 | W |
| Topr | 動作周囲温度 | | 0 〜 +70 | °C |
| Tstg | 保存温度 | | −40 〜 +125 | °C |

注）絶対最大定格は これ以上のストレスに対しては、デバイスに永久的な損傷を与える可能性があるというもので、絶対最大定格値での動作を保証するものではありません。

13.　DC電気的特性（$V_{CC}$＝5.0V±5%，GND＝0V，Ta＝0〜70°C）

| 記号 | 項目 | 測定条件 | 規格値 min | 規格値 typ. | 規格値 max. | 単位 |
|---|---|---|---|---|---|---|
| $V_{IH}$ | 'H'入力電圧 | | 2.4 | | Vcc | V |
| $V_{IL}$ | 'L'入力電圧 | | −0.3 | | 0.4 | V |
| $V_{OH}$ | 'H'出力電圧 | ( $I_{LOAD}$＝−100μA dc, $V_{CC}$＝4.75V | 2.4 | | | V |
| $V_{OL}$ | 'L'出力電圧 | | | | 0.4 | V |
| $I_I$ | 入力電流 | ( $V_I$＝0〜5.25V, $V_{CC}$＝0V | | | 10.0 | μA |
| $I_{TSI}$ | 出力フローティングリーク電流 | ( $V_I$＝0.4〜2.4V, $V_{CC}$＝5.25V | | | 10 | μA |
| $I_{CC}$ | 電源電流 | | | | 150 | mA |

## 14. タイミング図


TCYC
φ2(OUT)
TR
TF
TLφ2
THφ2
R/W
READ
WRITE
TRWS
TRWH
ADDR
TADS
TACC
TADH
DBΦ~DB7
(READ)
TDSU
THR
DBΦ~DB7
(WRITE)
TMDS
THW

# 15 推奨動作条件

Vcc = 5V ± 5%　　GND = 0V　　Ta = 0 〜 70°C

| 記号 | 項目 | 測定条件 | 規格値 min. | 規格値 typ. | 規格値 max. | 単位 |
|---|---|---|---|---|---|---|
| $T_{CYC}$ | クロックサイクル | | | 558 | | ns |
| $T_{LΦ2}$ | Φ2(OUT) Low期間 | | | | | ns |
| $T_{HΦ2}$ | Φ2(OUT) High期間 | | | | | ns |
| $T_R$.$T_F$ | Φ2の上昇.下降時間 | | | | 25 | ns |
| $T_{RWS}$ | R/$\overline{W}$ セットアップ時間 | | | | 160 | ns |
| $T_{RWH}$ | R/$\overline{W}$ ホールド時間 | | 30 | | | ns |
| $T_{ADS}$ | アドレス セットアップ 時間 | | | | 160 | ns |
| $T_{ADH}$ | アドレス ホールド 時間 | | 30 | | | ns |
| $T_{ACC}$ | リード アクセス 時間 | | | | 370 | ns |
| $T_{DSU}$ | リードデータ セットアップ時間 | | | | 260 | ns |
| $T_{HR}$ | リードデータホールド 時間 | | 10 | | | ns |
| $T_{MDS}$ | ライトデータセットアップ時間 | | 20 | | 120 | ns |
| $T_{HW}$ | ライトデータホールド 時間 | | 60 | | 150 | ns |

| RS | リコー標準(　　　) | 標準番号 |
|---|---|---|
| 分類 | 開発仕様書 | KA-A002-8 |

## 集積回路

1 形名　RP2C02

2 機能　ピクチャープロセシングユニット(PPU)

3 用途　ホームビデオゲーム用ビデオコントローラ

4 構造　NMOS Siゲート

5 外形

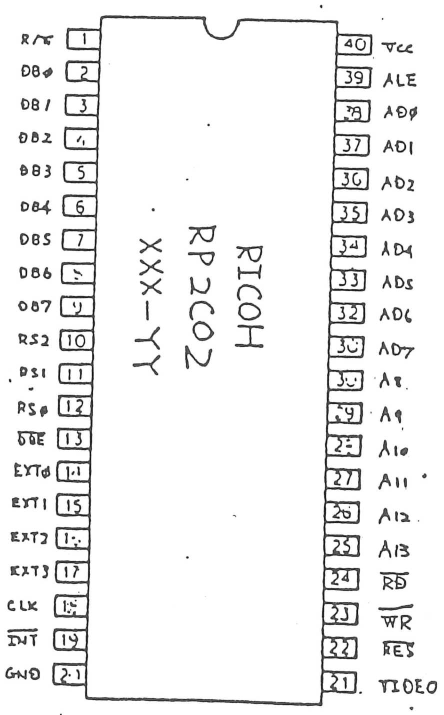
5-1 パッケージ名称　40ピンプラスチックDILパッケージ

5-2 パッケージ略号

5-3 外形図番号　DF-40DIL-002

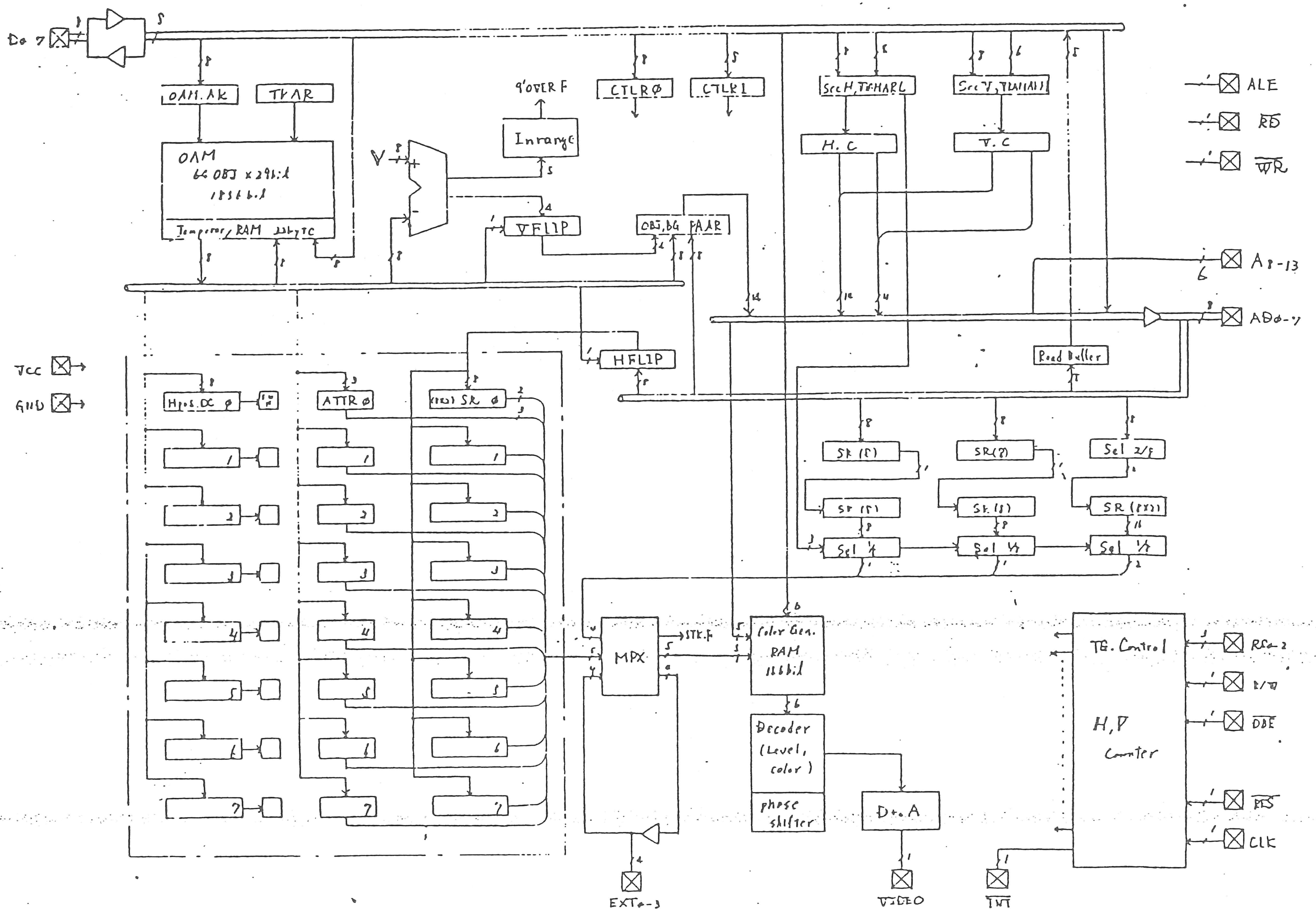
6 関係標準類

7 ピン接続図 (上面図)




| | | | | | | 改定 | 制定 |
|---|---|---|---|---|---|---|---|
| | | | | | | 82.12.3 | 82.10.12 |
| | | | | | | | |

# 8. ブロック図


D0-7
OAM.AR
TVAR
OAM
64 OBJ × 29bit
1856 bit
Temporary RAM 32byte
9'OVER F
Inrange
V
VFLIP
CTLR0
CTLR1
ScrH,TGHARL
ScrV,TGVARL
H.C
V.C
OBJ,BG PAAR
A8-13
AD0-7
HFLIP
Read Buffer
VCC
GND
Hpos.DC 0
ATTR 0
SR 0
SR(8)
Sel 2/8
SR(8x2)
Sel 1/4
MPX
STK.F
Color Gen. RAM
EXT0-3
Decoder (Level, color)
phase shifter
D to A
VIDEO
INT
TG.Control
H,V Counter
ALE
RD
WR
RS0-2
R/W
DBE
RES
CLK

## 9. 概要

RP2C02は，オブジェクト方式を用いたピクチャープロセシングユニットで，オブジェクト処理用に約2.2KbitのRAMを内蔵し，1画面中最大64個，1水平ライン中最大8個のオブジェクトを表示することができます。また最大4画面の背景の上下左右スクロールをドット単位で行なうことが出来ます。カラーコードは6ビットで52通り（カラー48，モノトーン4）の表示が可能で，ビデオ出力はNTSCコンポジット出力です。

RP2C02は，NチャネルシリコンゲートEDMOSプロセスを使用しており，内部ロジックは5.37MHz（CLK入力÷4）で動作します。

## 10. ピン機能

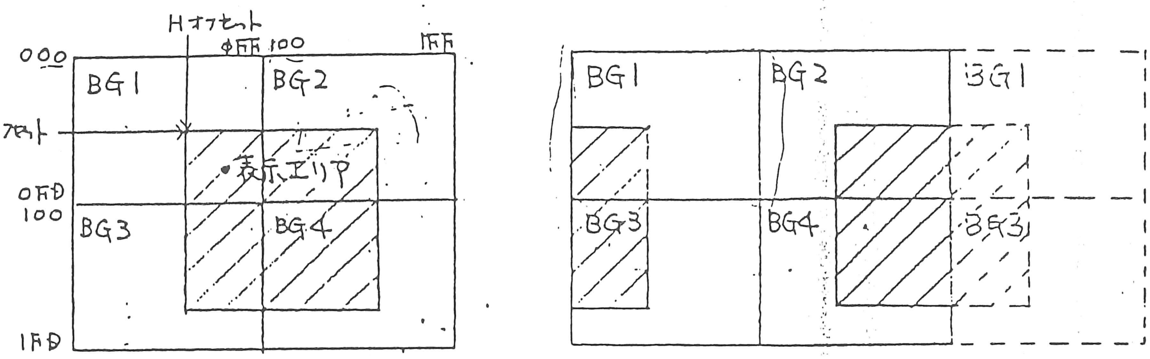
| ピン名称 | ピン番号 | I/O | 機能 |
|---|---|---|---|
| DBφ～DB7 | 2～9 | I/O | CPU間のデータバス |
| R/W | 1 | I | CPUとのデータ転送時のリード/ライト信号 |
| RS2～RSφ | 10～12 | I | 内部レジスタ類のモード選択信号 |
| $\overline{\text{DBE}}$ | 13 | I | CPUとのデータ転送時のデータバスイネーブル信号 |
| EXTφ～EXT3 | 14～17 | I/O | マスターモード時外部ピクチャー信号入力<br>スレーブモード時内部ピクチャー信号出力 |
| CLK | 18 | I | 21.48 MHz クロック入力端子 |
| $\overline{\text{INT}}$ | 19 | O | CPU割込用 VBLANK信号 |
| GND | 20 | | グランド端子 |
| VIDEO | 21 | O | 映像出力　NTSCコンポジット信号 |
| $\overline{\text{RES}}$ | 22 | I | 初期リセット信号 |
| $\overline{\text{WR}}$ | 23 | O | VIDEO RAM用ライト信号 |
| $\overline{\text{RD}}$ | 24 | O | VIDEO ROM, RAM用リード信号 |
| A13～A8 | 25～30 | O | 外部メモリの上位6ビットアドレス |
| AD7～ADφ | 31～38 | I/O | 外部メモリの下位8ビットアドレス及びデータバス（多重使用） |
| ALE | 39 | O | ADφ～AD7のアドレスラッチ信号 |
| VCC | 40 | | 電源入力端子　DC 5V |

秘

# 11. 機能説明

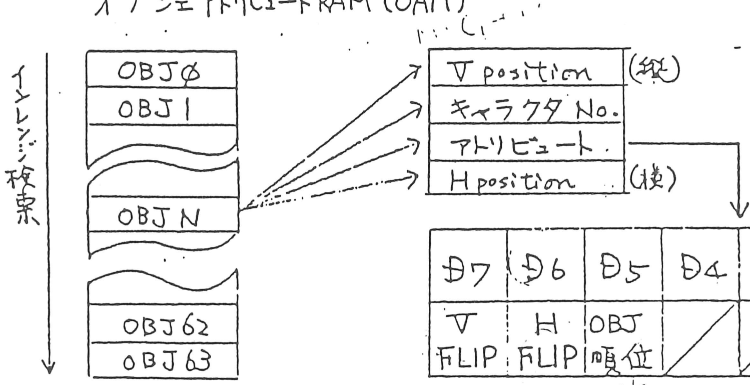
## (1) 画面構成と優先順位

① BG：1画面 256ドット(H方向) × 240ドット(V方向)
最大4画面範囲でH，V独立にドット単位のスクロール可能




② OBJ：1水平ライン中最大8OBJ，1画面中最大64OBJ表示可能

オブジェアトリビュートRAM (OAM)




| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---|---|---|---|---|---|---|---|
| V FLIP | H FLIP | OBJ順位 | / | / | / | COLOR 1 | COLOR 0 |

③ 優先順位

全面着色 > OBJ$_I$ > OBJ$_J$ > BG > OBJ$_{I'}$ > OBJ$_{J'}$ > EXT

但し I<J かつ OBJ順位＝0，I'<J' かつ OBJ順位＝1

④ 一致衝突判定

OBJ0がインレンジされBGと画面上で衝突した場合FLAGをたてる。

~~⑤ 9ケOVER判定~~

~~ある水平ライン上で9ケ以上のOBJが並らんだ場合FLAGをたてる。~~
~~画面に表示されるOBJは8ケまでである。~~

(注) OBJは，BGに対して1水平ラインずれて画面上に表示される。

秘

## (2) インターフェイス

### ① インターフェイスのモード

マッピング

| | 機能 | RS2 | RS1 | RSφ | R/W | 備考 |
|---|---|---|---|---|---|---|
| 2000 | CTLRφのセット | 0 | 0 | 0 | 0 | Write Only |
| 1 | CTLR1のセット | 0 | 0 | 1 | 0 | Write Only |
| 2 | SRのRead | 0 | 1 | 0 | 1 | Read Only |
| 3 | OAM.ARのセット | 0 | 1 | 1 | 0 | Write Only |
| 4 | OAMのWrite | 1 | 0 | 0 | 0 | OAM.ARのオートインクリメント, Write Only |
| 5 | SCC HVのセット | 1 | 0 | 1 | 0 | 2回連続, H, Vの順, Write Only |
| 6 | VRAM.ARのセット | 1 | 1 | 0 | 0 | 2回連続, H, Lの順, Write Only |
| 7 | VRAM Read/Write | 1 | 1 | 1 | 1/0 | VRAM.ARのオートインクリメント |

### ② コントロールレジスタφ (CTLRφ)

| | | | |
|---|---|---|---|
| 1ST. | Dφ | MSBH | : Hスクロールのオフセット値のMSB |
| | D1 | MSBV | : Vスクロールのオフセット値のMSB |
| | D2 | INCM | : VRAM.ARのオートインクリメントモード φ→+1, 1→+32 |
| | D3 | OBJ SEG | : OBJキャラクタ領域の指定 φ→φφφφH〜φFFFH, 1→1φφφH〜1FFFH |
| | D4 | BG SEG | : BGキャラクタ領域の指定 φ→φφφφH〜φFFFH, 1→1φφφH〜1FFFH |
| | D5 | 8×16 | : キャラクタサイズ指定 φ→8×8, 1→8×16 |
| | D6 | SLAVE | : マスターモード/スレーブモードの指定 φ→マスター, 1→スレーブ |
| MSB | D7 | INT | : インタラプトイネーブル φ→ディスエーブル, 1→イネーブル |

(注) 8×16モードセット時は OBJ SEGは無効とし, OBJ キャラクタNO.が偶数の時 φφφφH〜φFFFH, 奇数の時 1φφφH〜1FFFH を選択する。

### ③ コントロールレジスタ1 (CTLR1)

| | | |
|---|---|---|
| Dφ | M&C | : 1→MONO-TONE, φ→COLORの切り換え |
| D1 | $\overline{BGLBLK}$ | : BG 左端ブランキング φ→ブランキング |
| D2 | $\overline{OBJLBLK}$ | : OBJ 左端ブランキング φ→ブランキング |
| D3 | $\overline{BGBLK}$ | : BG ブランキング φ→ブランキング |
| D4 | $\overline{OBJBLK}$ | : OBJ ブランキング φ→ブランキング |
| D5 | RED | : 全面着色 1→RED |
| D6 | GREEN | : 〃 1→GREEN |
| D7 | BLUE | : 〃 1→BLUE |

(注) $\overline{OBJBLK}$=φ かつ $\overline{BGBLK}$=φ の時に(あるいはVブランキング)インタフェイスモードとなる。 CTLRφ, CTLR1及びSRは制約をうけない。

### ④ ステータスレジスタ (SR)

| | | |
|---|---|---|
| D5 | ~~9'OVER~~ | : 9'OVER判定フラグ |
| D6 | STRIKE | : 一致衝突判定フラグ |
| D7 | INT | : 割込みフラグ |

(注) SRリード後 INTフラグはリセットされる。また SCCHV, VRAM.AR のセット順位をイニシャライズする。

(秘)

⑤ OAMアドレスレジスタ (OAM.AR)

OAM WRITE後自動的に+1される。

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | Dφ |
|---|---|---|---|---|---|---|---|
| A7 | A6 | A5 | A4 | A3 | A2 | A1 | Aφ |

⑥ オブジェクトアトリビュートメモリ (OAM)

64OBJ分のVpos, NAME, ATTB, Hposを格納する。 (1)-②参照。

⑦ スクロールレジスタH,V (SCC H,V)

スクロール時のオフセット値となる。 H,Vの順にセットする。

CTLRφ

| Dφ |
|---|
| H8 |

SCC H

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | Dφ |
|---|---|---|---|---|---|---|---|
| H7 | H6 | H5 | H4 | H3 | H2 | H1 | H0 |

H オフセット

| D1 |
|---|
| V8 |

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | Dφ |
|---|---|---|---|---|---|---|---|
| V7 | V6 | V5 | V4 | V3 | V2 | V1 | Vφ |

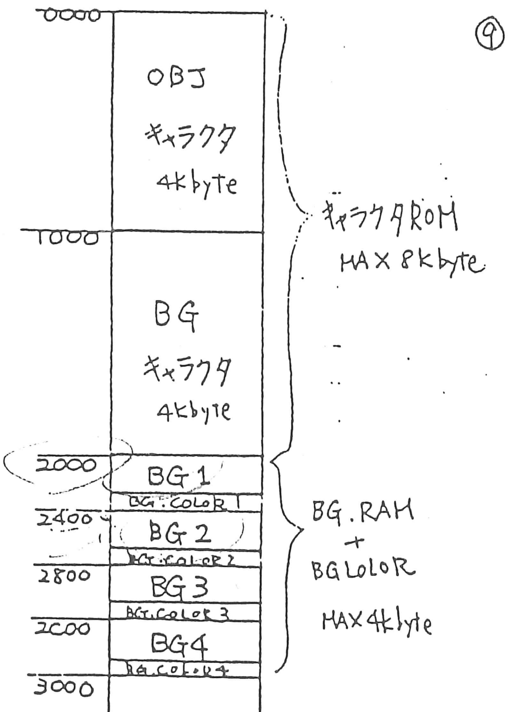
V オフセット

⑧ VRAMアドレスレジスタH,L (VRAM.AR H,L)

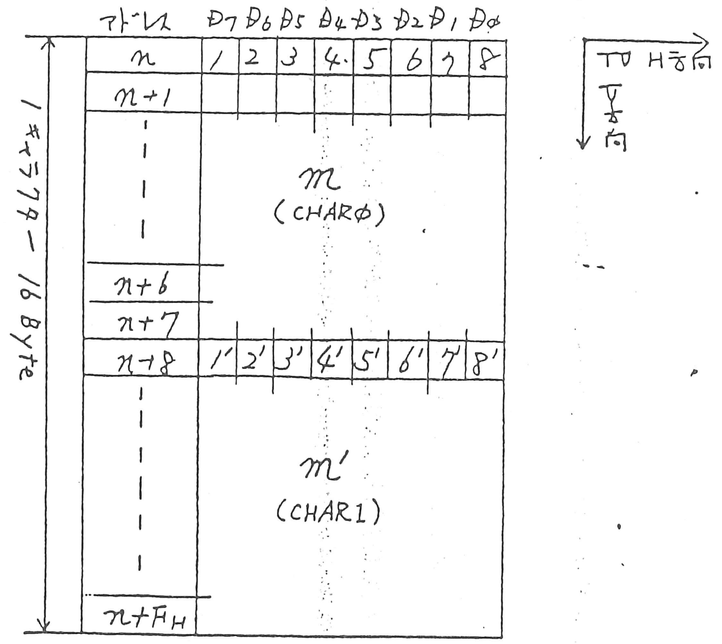
VRAM Read/Write後自動的に+1あるいは+32される。H,Lの順にセットされる。

(注) SCC H,VとVRAM.AR H,LはPPU内部ラッチを共有するため、VRAMARとして使用すると新たにSCC H,Vをセットする必要がある。

⑨ VIDEO RAM (VRAM)




⑨-1. OBJ,BGキャラクタの構成



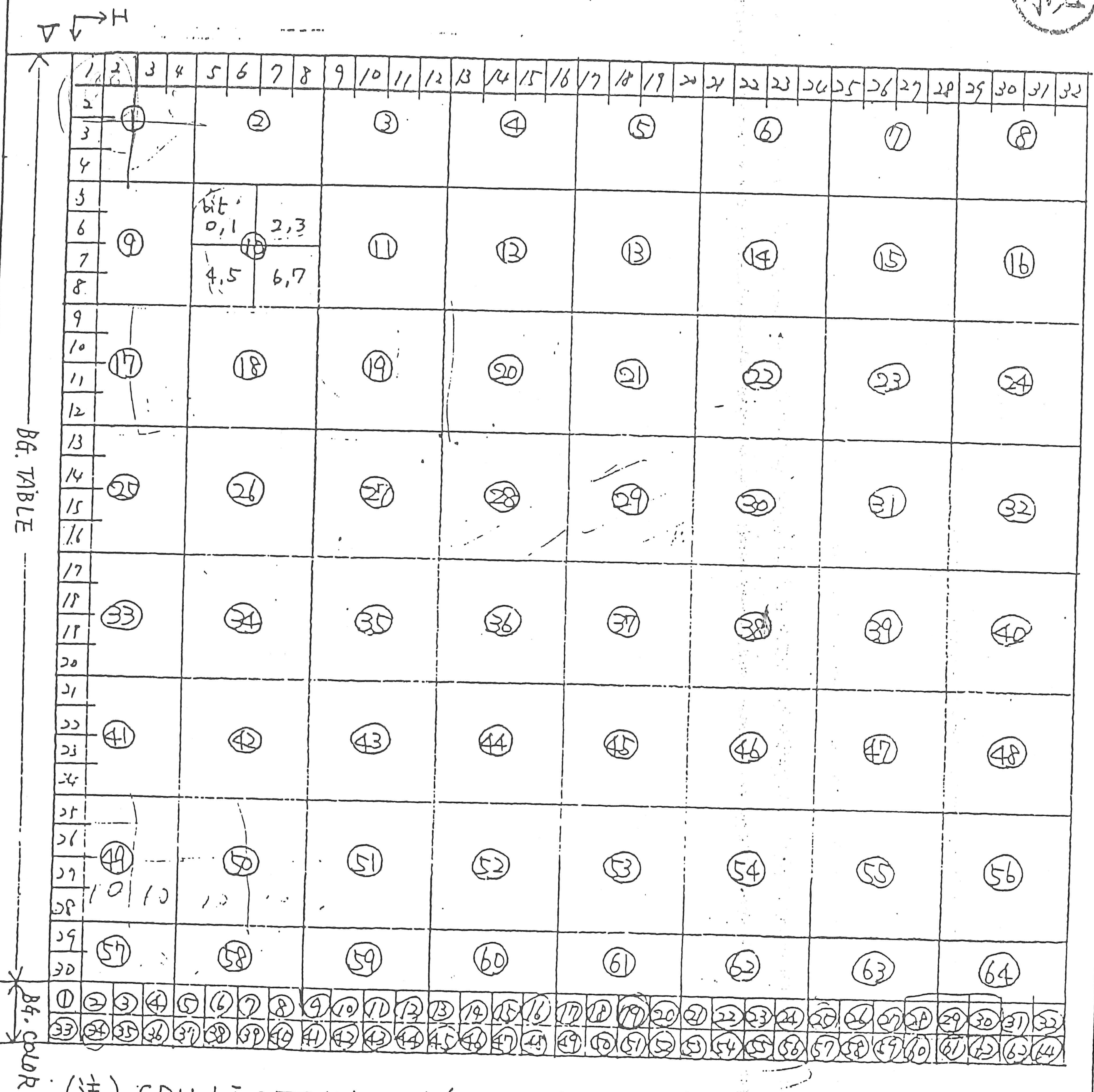

2bit/1画素

| m | m' | 色 |
|---|---|---|
| 0 | 0 | 黒(透明) |
| 1 | 0 | COLOR 1 |
| 0 | 1 | COLOR 2 |
| 1 | 1 | COLOR 3 |

| RS | リコー標準(開発仕様書) | 標準番号 | KA-A002-B |
|---|---|---|---|

㊙

## ①-2. BG.RAM+BG.COLOR の構成



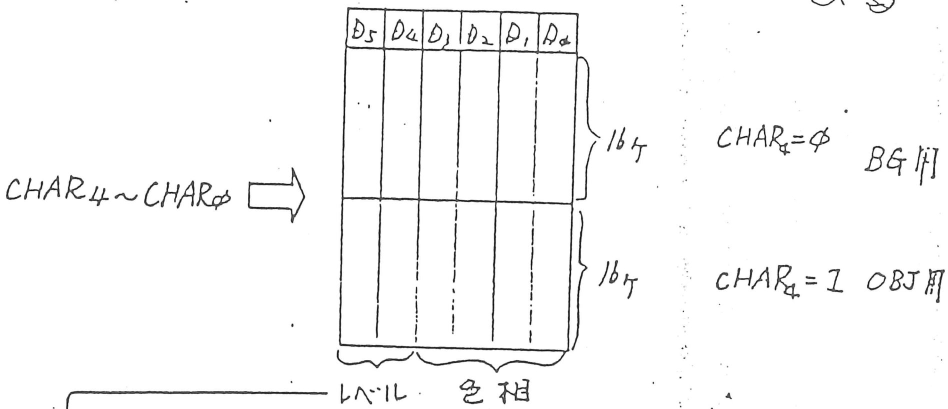

(注) CPUからのVRAM Read/Writeは，PPU内部で同期化して行なう。Write時はCPUから見るとdon't careであるが，Read時はデータを1回空読みする必要がある。最初にVRAM.ARにセットした値に対しては2回目に読んだデータが対応する。

(注) Color GeneratorはPPUに内蔵されるが，アドレスとしてはVRAMの3F00番地からが割り当てられる。CPUはColor GeneratorをVRAMの一部として扱う必要がある。

秘

85

⑩ COLOR GENERATER の構成



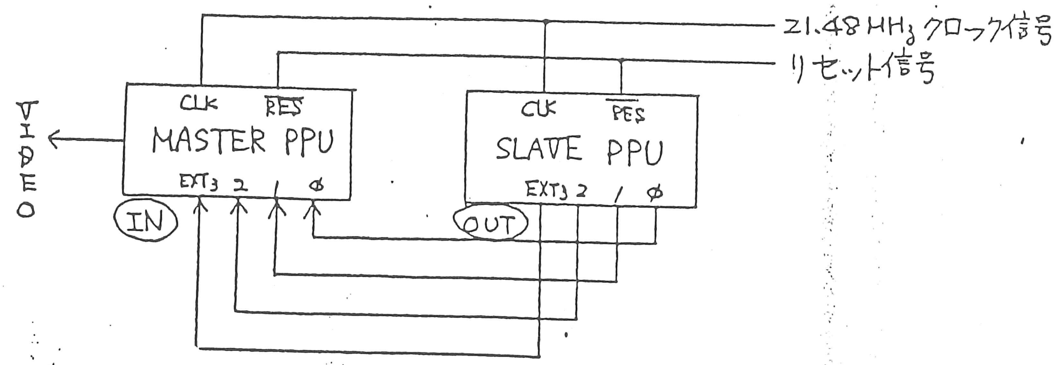

| D5 | D4 | レベル |
|---|---|---|
| φ | φ | LEVφ |
| φ | 1 | LEV1 |
| 1 | φ | LEV2 |
| 1 | 1 | LEV3 |

| D3 | D2 | D1 | Dφ | 色相 | |
|---|---|---|---|---|---|
| φ | φ | φ | φ | なし | → WHITE ～ BLACK |
| φ | φ | φ | 1 | PHSφ | |
| φ | φ | 1 | φ | PHS1 | → BLUE |
| φ | φ | 1 | 1 | PHS2 | |
| φ | 1 | 0 | 0 | PHS3 | → MAGENTA |
| φ | 1 | φ | 1 | PHS4 | |
| φ | 1 | 1 | φ | PHS5 | → RED |
| φ | 1 | 1 | 1 | PHS6 | |
| 1 | φ | φ | φ | PHS7 | → Burst位置 YELLOW |
| 1 | φ | φ | 1 | PHS8 | |
| 1 | φ | 1 | φ | PHS9 | → GREEN |
| 1 | φ | 1 | 1 | PHS10 | |
| 1 | 1 | φ | φ | PHS11 | → CYAN |

17

（追）上記指定コード以外をセットすると黒レベル（透明）を表示します。

（3） 画像の合成




上図のように結線し，CLKには立上り，立下りの鋭い方形波を入力する。
両PPUの同期合せは イニシャル時のリセット信号で行なう。
SLAVE PPUの EXT出力は MASTER PPUに入力され，内部で合成される。
優先順位は (1)-③ を参照。

## 12. 絶対最大定格（注）

| 記号 | 項目 | 測定条件 | 定格値 | 単位 |
|---|---|---|---|---|
| $V_{CC}$ | 電源電圧 | GND=0V | −0.3 ～ +7.0 | V |
| $V_I$ | 入力電圧 | GND=0V | −0.3 ～ +7.0 | V |
| Pd | 最大消費電力 | | 1 | W |
| Topr | 動作周囲温度 | | 0 ～ +70 | °C |
| Tstg | 保存温度 | | −40 ～ +125 | °C |

（注）　絶対最大定格はこれ以上のストレスに対しては、デバイスに永久的な損傷を与える可能性があるというもので、絶対最大定格値での動作を保証するものではありません。

## 13. DC電気的特性（$V_{CC}$=5.0V±5%, GND=0V, Ta=0～70°C）

| 記号 | 項目 | 測定条件 | 規格値 最小 | 規格値 標準 | 規格値 最大 | 単位 | 備考 |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | 'H' 入力電圧 | | 2.4 | | $V_{CC}$ | V | |
| $V_{IL}$ | 'L' 入力電圧 | | −0.3 | | 0.4 | V | |
| $V_{OH}$ | 'H' 出力電圧 | ($I_{LOAD}$=−100μADC, $V_{CC}$=4.75V) | 2.4 | | | V | |
| $V_{OL}$ | 'L' 出力電圧 | | | | 0.4 | V | |
| $I_I$ | 入力電流 | ($V_I$=0～5.25V, $V_{CC}$=0V) | | | 10 | μA | |
| $I_{TSL}$ | 出力フローティングリーク電流 | ($V_I$=0.4V～2.4V, $V_{CC}$=5.25V) | | | 10 | μA | |
| $I_{CC}$ | 電源電流 | | | | 150 | mA | |
| $V_{WHITE}$ | VIDEO voltage level of white | | | 1.5 | | V | |
| $V_{BLANK}$ | VIDEO voltage level of blank | | | 0.1 | | V | |
| $V_{SYNC}$ | VIDEO voltage level of sync | | | 0 | | V | |
| $V_{CB(P-P)}$ | VIDEO voltage p-to-p of burst | | | 0.3 | | V | |

# 14. AC電気的特性

(秘)

Vcc=5V±5%　GND=0V　Ta=0～70°C　CLK=21.48MHz

| 記号 | 項目 | 測定条件 | 規格値 最小 | 規格値 標準 | 規格値 最大 | 単位 | 備考 |
|---|---|---|---|---|---|---|---|
| $t_{AS1}$ | CPUアドレスセットアップタイム | | 100 | | | ns | |
| $t_{AH1}$ | CPUアドレスホールドタイム | | 20 | | | ns | |
| $t_{RWS}$ | CPUリード/ライトセットアップタイム | | 100 | | | ns | |
| $t_{RWH}$ | CPUリード/ライトホールドタイム | | 20 | | | ns | |
| $t_{WDBE}$ | CPUデータバスイネーブルタイム | | 250 | | | ns | |
| $t_{ACC1}$ | CPUリードアクセスタイム | | 150 | | | ns | |
| $t_{OH1}$ | CPUアウトプットホールドタイム | | 20 | | 100 | ns | |
| $t_{DS1}$ | CPUデータセットアップタイム | | 100 | | | ns | |
| $t_{DH1}$ | CPUデータホールドタイム | | 20 | | | ns | |
| $t_{C1}$ | メモリリード/ライトサイクル | | | 372.49 | | ns | |
| $t_{C2}$ | メモリリード/ライトサイクル | | | 558.74 | | ns | |
| $t_{AS2}$ | アドレスセットアップタイム | | 50 | | | ns | |
| $t_{AH2}$ | アドレスホールドタイム | | 10 | | | ns | |
| $t_{A3}$ | アドレスホールドタイム | | 170 | | | ns | |
| $t_{WALE}$ | アドレスラッチイネーブルタイム | | 170 | | 195 | ns | |
| $t_{WRD}$ | メモリリードタイム | | 170 | | 195 | ns | |
| $t_{WRD}$ | メモリライトタイム | | 170 | | 195 | ns | |
| $t_{ACC2}$ | チップイネーブルアクセスタイム | | | | 130 | ns | |
| $t_{ACC3}$ | アドレスアクセスタイム | | | | 260 | ns | |
| $t_{OH2}$ | アウトプットホールドタイム | | 10 | | | ns | |
| $t_{WMRW}$ | メモリライトタイム | | 170 | | 195 | ns | |
| $t_{DS2}$ | データセットアップタイム | | 130 | | | ns | |
| $t_{DH2}$ | データホールドタイム | | 20 | | | ns | |

㊙

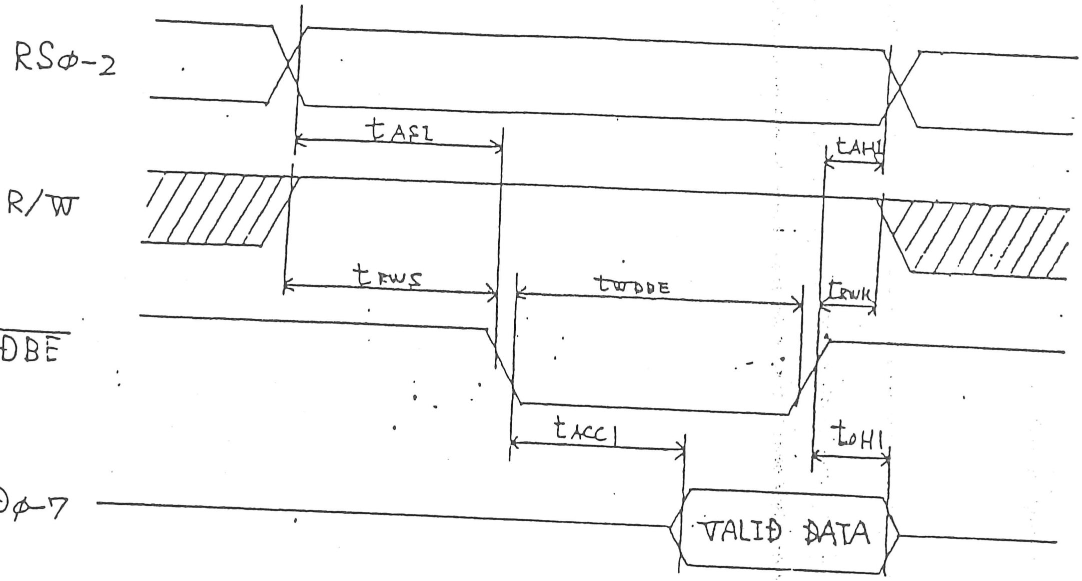
14. AC電気的特性（続）

VIDEO出力信号（NTSCコンポジット信号）は，TI 2918A及び NHK放送技術規格を参考にする。

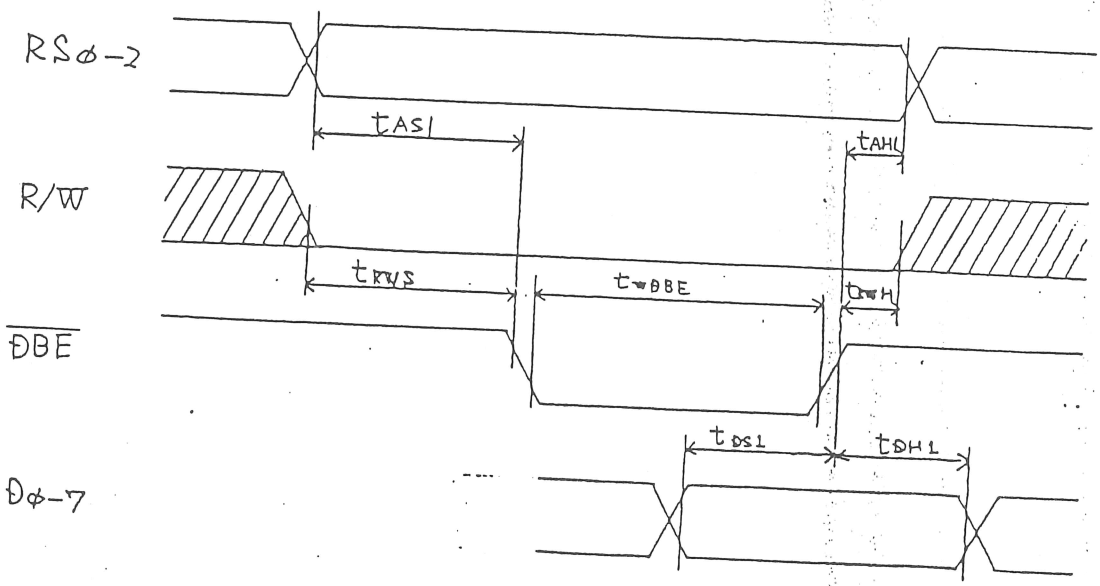
秘

## 15. タイミング図

### (1) CPU-PPU READ CYCLE

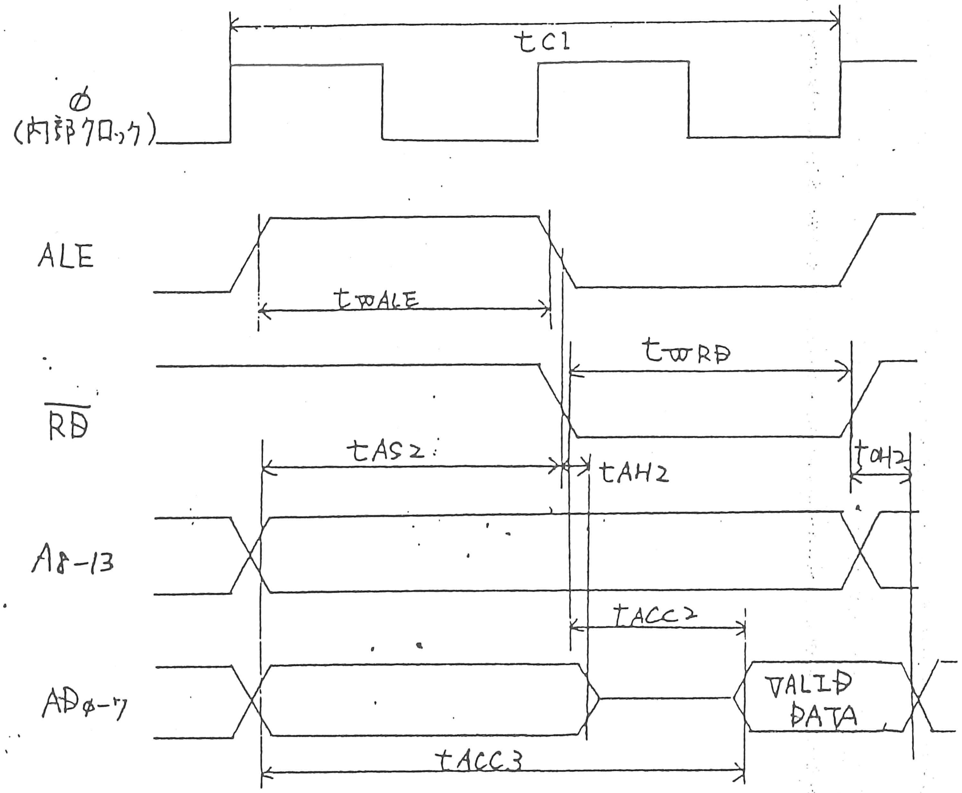



### (2) CPU-PPU WRITE CYCLE

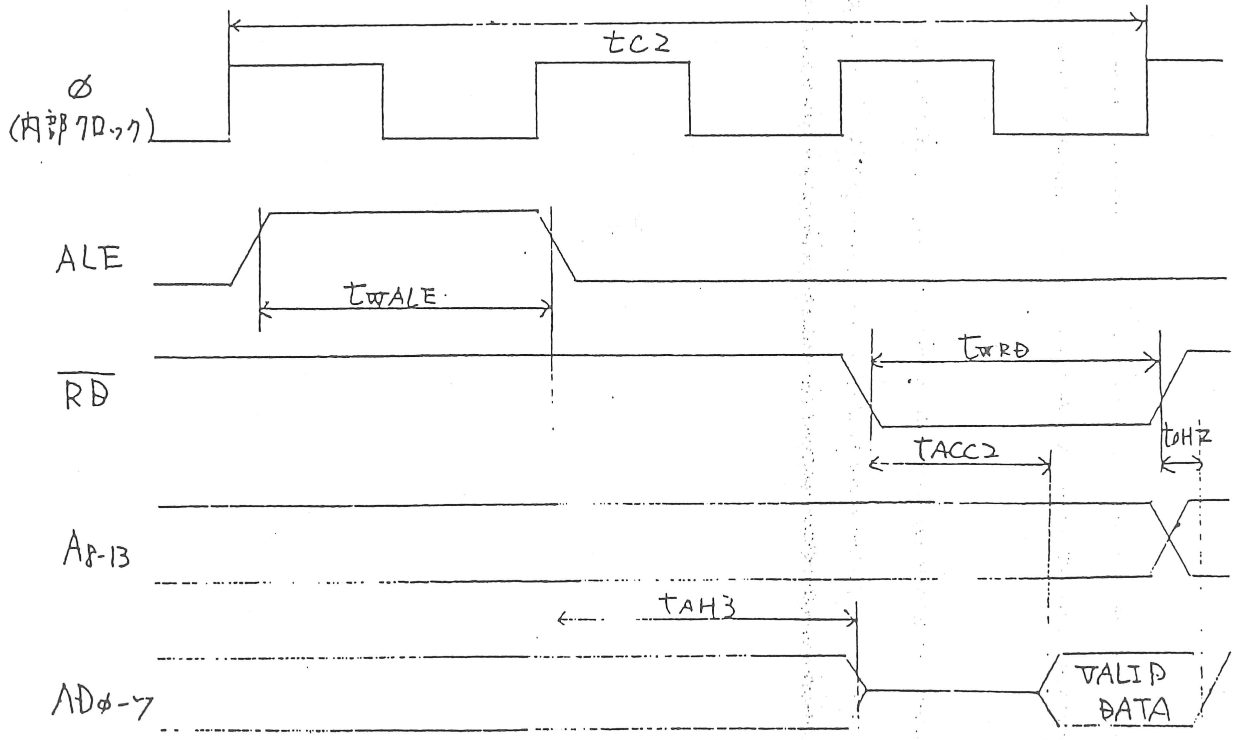


㊙

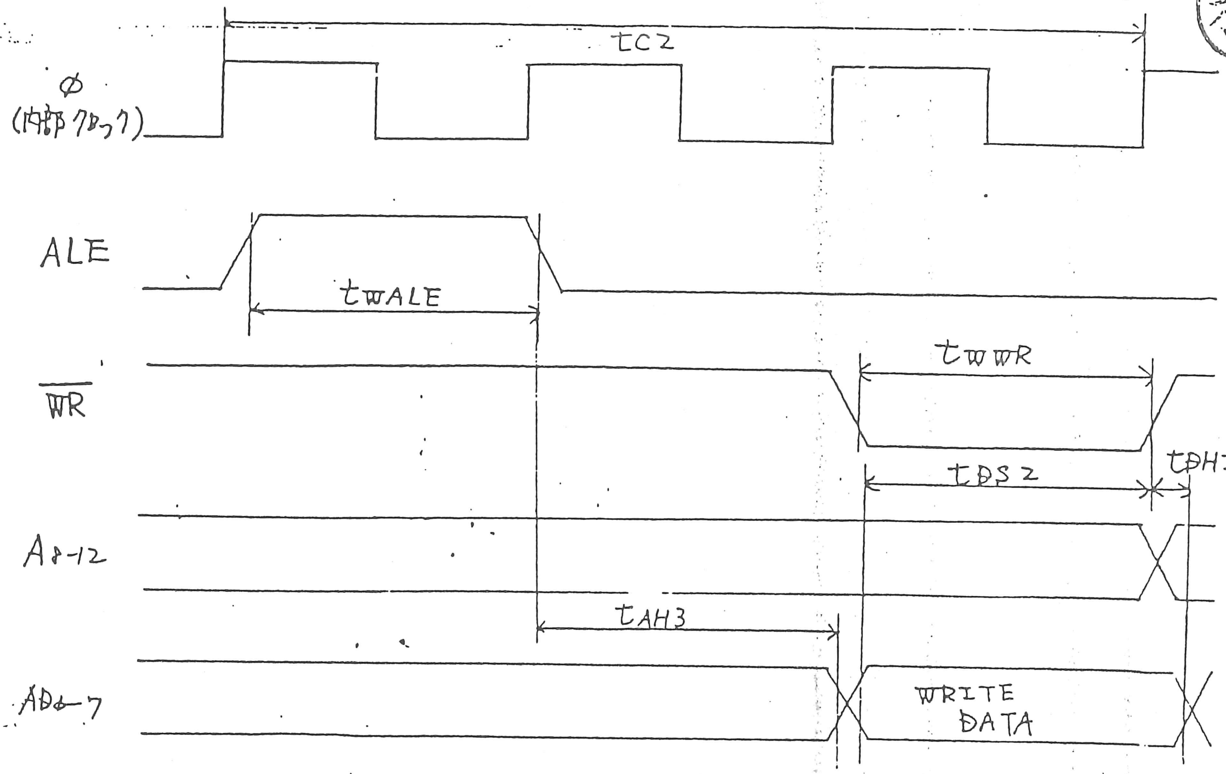
(3) VIDEO MEMORY READ CYCLE-1 (DISPLAY MODE, $\overline{WR}$ = HIGH)




(4) VIDEO MEMORY READ CYCLE-2 (CPU MODE, $\overline{WR}$ = HIGH)



(5) VIDEO MEMORY WRITE CYCLE (CPU MODE, $\overline{RD}$ = HIGH)




(参考)

ROM/RAM 要求性能の要約

| | | |
|---|---|---|
| アドレスアクセスタイム | | 250nS |
| CS | アクセスタイム | 250nS |
| OE | アクセスタイム | 120nS |

適合すると思われる ROM/RAM

| | | |
|---|---|---|
| ROM | RICOH | RD2068 |
| | NEC | μPD2364EC/D, -1 |
| | HITACHI | HN61364P |
| | OKI | MSM3864RS |
| RAM | MITSUBISHI | M58725P |
| | NEC | μPD446C/D 1, 2 |
| | HITACHI | HM6116-4 |
| | TOSHIBA | TMM2016, TMM5516 |
| | OKI | MSM2128, MSM5128 |
| | SUWASEIKO | SRM2016 (200nS版) |